

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-171140

(43)Date of publication of application : 14.06.2002

(51)Int.Cl.

H03F 1/52

H03F 3/217

H03F 3/68

(21)Application number : 2000-367683

(71)Applicant : MITSUBISHI ELECTRIC CORP
MITSUBISHI ELECTRIC
ENGINEERING CO LTD

(22)Date of filing : 01.12.2000

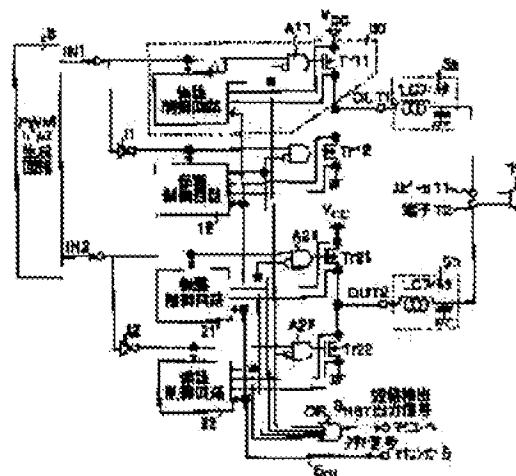
(72)Inventor : OKI MASAJI
OKAMOTO KAZUHIRO

(54) AUDIO SIGNAL AMPLIFICATION OUTPUT CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent an output transistor from thermal breakdown due to an overcurrent caused by an output short circuit of a class D audio amplifier.

SOLUTION: The amplifier output circuit comprises protection control circuits 11, 12, 21, 22 which detect potential differences i.e., voltages between the sources and the drains of output transistors Tr11, Tr12, Tr21, Tr22, compare the detected voltages with a specified voltage and, if the detected voltage exceeds the specified voltage, output a short circuit detect signal to the gates of the output transistors Tr11, Tr12, Tr21, Tr22, thereby turning off the output transistors Tr11, Tr12, Tr21, Tr22.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-171140

(P2002-171140A)

(43) 公開日 平成14年6月14日 (2002.6.14)

(51) Int.Cl. ⁷	識別記号	F I	ページ* (参考)
H 0 3 F	1/52	H 0 3 F	A 5 J 0 6 9
	3/217		B 5 J 0 9 1
	3/68		A

審査請求 未請求 請求項の数11 O L (全 15 頁)

(21) 出願番号 特願2000-367683(P2000-367683)

(22) 出願日 平成12年12月1日 (2000.12.1)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71) 出願人 591038457

三菱電機エンジニアリング株式会社

東京都千代田区大手町2丁目6番2号

(72) 発明者 大木 正司

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100089118

弁理士 酒井 宏明

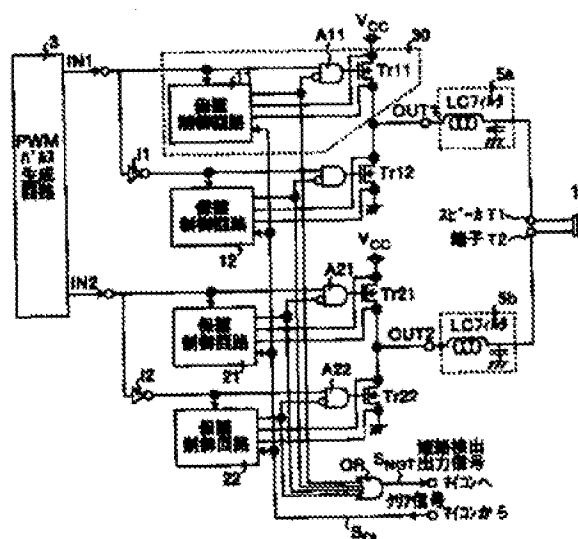
最終頁に続く

(54) 【発明の名称】 オーディオ信号増幅出力回路

(57) 【要約】

【課題】 D級オーディオアンプの出力短絡によって生じた過大電流による出力トランジスタの熱破壊を防止すること。

【解決手段】 出力トランジスタTr11、Tr12、Tr21、Tr22のソースドレイン間の電位差である検出電圧と所定電圧とを比較し、該検出電圧が前記所定電圧を超えた場合に、短絡検出出力信号を出力トランジスタTr11、Tr12、Tr21、Tr22のゲートに出力して出力トランジスタTr11、Tr12、Tr21、Tr22をオフさせる保護制御回路11、12、21、22を備える。



【特許請求の範囲】

【請求項1】 出力トランジスタを用いて、入力されたオーディオ信号に対応したPWM信号を増幅出力するオーディオ信号増幅出力回路において、前記出力トランジスタのソースドレイン間の電位差である検出電圧と所定電圧とを比較し、該検出電圧が前記所定電圧を越えた場合に停止信号を出力する比較手段と、前記比較手段が前記停止信号を出力した場合、前記出力トランジスタの出力をオフにする制御を行うトランジスタ保護制御手段と、を備えたことを特徴とするオーディオ信号増幅出力回路。

【請求項2】 複数の出力トランジスタを備え、前記比較手段および前記トランジスタ保護制御手段は、各出力トランジスタ毎に設けられたことを特徴とする請求項1に記載のオーディオ信号増幅出力回路。

【請求項3】 前記トランジスタ保護制御手段は、前記比較手段が停止信号を出力する場合、前記複数の出力トランジスタの全てをオフにする制御を行うことを特徴とする請求項2に記載のオーディオ信号増幅出力回路。

【請求項4】 前記トランジスタ保護制御手段は、前記PWM信号をクロック信号として前記停止信号をラッチするラッチ回路と、前記出力トランジスタのゲート入力側に設けられ、前記PWM信号と前記停止信号の反転信号との論理積をとり、該PWM信号の信号レベルにかかわらず、前記出力トランジスタをオフにする論理積回路と、を備えたことを特徴とする請求項1～3のいずれか一つに記載のオーディオ信号増幅出力回路。

【請求項5】 前記比較手段は、前記検出電圧に対応した検出電流値と第1のバイアス電流値との二乗値を第2のバイアス電流値で除算した判定電流値を出力する二乗／除算回路と、前記判定電流値が第3のバイアス電流値を越えた場合に前記停止信号を出力する判定回路と、を備えたことを特徴とする請求項1～4のいずれか一つに記載のオーディオ信号増幅出力回路。

【請求項6】 前記PWM信号をクロック信号として、前記比較手段から出力された前記停止信号の出力回数を計数し、該出力回数が第1の所定値を越えた場合に、前記トランジスタ保護制御手段に前記停止信号を出力する第1の計数手段と、前記PWM信号をクロック信号として、該クロック信号を計数し、該計数値が前記第1の所定値に比して大きい第2の所定値を越えた場合に前記第2の計数手段による計数をリセットする第2の計数手段と、をさらに備えたことを特徴とする請求項1～5のいずれか一つに記載のオーディオ信号増幅出力回路。

【請求項7】 前記PWM信号と、前記PWM信号と該

PWM信号を遅延した遅延PWM信号との論理積をとった論理積信号とをともに、前記PWM信号のパルス幅が所定幅以上である場合にクロックを生成し、前記第1の計数手段および前記第2の計数手段のクロック信号として出力するクロック生成回路をさらに備えたことを特徴とする請求項6に記載のオーディオ信号増幅出力回路。

【請求項8】 前記クロック生成回路は、ゲート遅延によって前記PWM信号を遅延する遅延回路を備えたことを特徴とする請求項7に記載のオーディオ信号増幅出力回路。

【請求項9】 前記クロック生成回路は、自動発振クロックを生成する自動発振回路と、前記自動発振クロックを用いて前記PWM信号を遅延するシフトレジスタと、を備えたことを特徴とする請求項7に記載のオーディオ信号増幅出力回路。

【請求項10】 前記比較手段から停止信号が出力された場合に、前記自動発振クロックあるいは独立した自動発振クロックを計数し、該計数値が第3の所定値を越えた場合に、前記トランジスタ保護制御手段に出力された前記停止信号を出力する第3の計数手段をさらに備えたことを特徴とする請求項1～9のいずれか一つに記載のオーディオ信号増幅出力回路。

【請求項11】 前記ラッチ回路、前記第2の計数手段あるいは前記第3の計数手段は、外部から入力される解除信号によってラッチ処理あるいは計数処理をリセットすることを特徴とする請求項1～10のいずれか一つに記載のオーディオ信号増幅出力回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、出力トランジスタを用いて、入力されたオーディオ信号に対応したPWM信号を増幅出力するオーディオ信号増幅出力回路に関し、特に、D級オーディオアンプなどのBTL (Balanced Transformer Less) 出力回路において、出力短絡の過大電流が原因で出力トランジスタが熱破壊することを防止することができるオーディオ信号増幅出力回路に関するものである。

【0002】

【従来の技術】図16は、従来のD級オーディオアンプのBTL出力部の構成を示す図である。また、図17は、このBTL出力部の動作を示すタイミングチャートである。図16において、デジタルオーディオデータDは、たとえば、CD、MD、DVD、BSなどを信号源とするオーディオのPCMデータである。信号源によって、ビット数や周波数は様々であり、ビット数は、14～24bitであり、周波数は、1～4fs=32～192kHz (1fs=32～48kHz) である。たとえば、CDであれば、ビット数は、16bitであり、周波数は1fs=44.1kHzである。

【0003】このデジタルオーディオデータDは、オーバーサンプリングデジタルフィルタ1によってアップサンブルされ、さらにΣΔ変調回路2およびPWMパルス生成回路3によって、1ビットのデータ列IN1、IN2に変調される。オーディオのS/N精度を保つため、PWMパルスの周期は、 $1/(16fs) \sim 1/(64fs)$ 程度であり、PWMパルスの分解能で、 $1/(256fs) \sim 1/(1024fs)$ 程度を選択する場合が多い。

【0004】PWMパルス生成回路3から出力された1ビットのデータ列IN1、IN2の信号レベルは、3～5V程度であり、この信号レベルは、BTL出力ドライバ部4によって、20～50V程度までドライブされ、増幅出力信号OUT1、OUT2としてLCフィルタ5a、5bに出力される。

【0005】1ビットのデータ列IN1は、正相入力として出力トランジスタTr11のゲートに入力されるとともに、インバータ11を介した逆相入力として出力トランジスタTr12のゲートに入力され、増幅出力信号OUT1を出力する。同様に、1ビットのデータ列IN2は、正相入力として出力トランジスタTr21のゲートに入力されるとともに、インバータ12を介した逆相入力として出力トランジスタTr22のゲートに入力され、増幅出力信号OUT2を出力する。

【0006】BTL出力は、図17に示すように、1ビットのデータ列IN1のPWMパルス周期のオン期間「a」と、1ビットのデータ列IN2のPWMパルス周期のオフ期間「b」とを同じにしている。すなわち、データ列IN1とデータ列IN2とは逆相の関係を有する、いわゆるBTL出力となる。

【0007】ここで、電力変換効率を上げるため、増幅出力信号OUT1、OUT2を増幅出力する出力トランジスタTr11、Tr12、Tr21、Tr22のオン抵抗を小さくする必要があり、通常のオーディオアンプでは、オン抵抗を0.3Ω以下程度の選定される。

【0008】増幅出力信号OUT1、OUT2は、それぞれLCフィルタ5a、5bを介して、増幅出力信号OUT1、OUT2が示すPWM信号を平滑したアナログ信号としてスピーカ10に出力される。

【0009】

【発明が解決しようとする課題】ところで、上述したBTL出力部には、出力短絡に対する保護回路がなく、しかもBTL出力では、スピーカ10に2つの正端子であるスピーカ端子T1、T2を有するため、出力短絡時に過大電流が流れ、出力トランジスタTr11、Tr12、Tr21、Tr22が破壊するという問題点があった。

【0010】たとえば、スピーカ10の配線接続時に、ユーザが誤って接続線をBTL出力部のシャーンに接触させたり、あるいはスピーカ端子T1、T2間を短絡さ

せたりした場合が想定され、スピーカ端子T1をシャーン、すなわちグランド(GND)に短絡させた場合、電源側の出力トランジスタTr11がオン時に過大電流が流れ、発熱によって、出力トランジスタTr11を破壊する。

【0011】このため、従来の保護回路では、出力トランジスタに直列に抵抗を挿入し、この抵抗両端の電位差から過大電流を検出し、この過大電流の検出時に、出力トランジスタをオフにするものがある。しかしながら、出力抵抗を小さくする必要があるD級アンプには、この保護回路を適用することができない。

【0012】この発明は上記に鑑みてなされたもので、D級オーディオアンプの出力短絡によって生じた過大電流による出力トランジスタの熱破壊を防止することができるオーディオ信号増幅出力回路を得ることを目的とする。

【0013】

【課題を解決するための手段】上記目的を達成するため、この発明にかかるオーディオ信号増幅出力回路は、出力トランジスタを用いて、入力されたオーディオ信号に対応したPWM信号を増幅出力するオーディオ信号増幅出力回路において、前記出力トランジスタのソース・ドレイン間の電位差である検出電圧と所定電圧とを比較し、該検出電圧が前記所定電圧を越えた場合に停止信号を出力する比較手段と、前記比較手段が前記停止信号を出力した場合、前記出力トランジスタの出力をオフにする制御を行うトランジスタ保護制御手段とを備えたことを特徴とする。

【0014】この発明によれば、比較手段が、出力トランジスタのソース・ドレイン間の電位差である検出電圧と所定電圧とを比較し、該検出電圧が前記所定電圧を越えた場合に停止信号を出力し、トランジスタ保護制御手段が、前記比較手段が前記停止信号を出力した場合、前記出力トランジスタの出力をオフにする制御を行い、出力短絡によって出力トランジスタに過大電流が流れないようにしている。

【0015】つぎの発明にかかるオーディオ信号増幅出力回路は、上記の発明において、複数の出力トランジスタを備え、前記比較手段および前記トランジスタ保護制御手段は、各出力トランジスタ毎に設けられたことを特徴とする。

【0016】この発明によれば、複数の出力トランジスタを備え、前記比較手段および前記トランジスタ保護制御手段は、複数の出力トランジスタ毎に設けられ、それぞれが、出力短絡による各出力トランジスタに過大電流が流れることを防止するようにしている。

【0017】つぎの発明にかかるオーディオ信号増幅出力回路は、上記の発明において、前記トランジスタ保護制御手段は、前記比較手段が停止信号を出力する場合、前記複数の出力トランジスタの全てをオフにする制御を

行うことを特徴とする。

【0018】この発明によれば、前記トランジスタ保護制御手段が、前記比較手段が停止信号を出力する場合、前記複数の出力トランジスタの全てをオフにしている。

【0019】つぎの発明にかかるオーディオ信号増幅出力回路は、上記の発明において、前記トランジスタ保護制御手段は、前記PWM信号をクロック信号として前記停止信号をラッチするラッチ回路と、前記出力トランジスタのゲート入力側に設けられ、前記PWM信号と前記停止信号の反転信号との論理積をとり、該PWM信号の信号レベルにかかわらず、前記出力トランジスタをオフにする論理積回路とを備えたことを特徴とする。

【0020】この発明によれば、前記トランジスタ保護制御手段のラッチ回路が、前記PWM信号をクロック信号として前記停止信号をラッチし、論理積回路が、前記出力トランジスタのゲート入力側に設けられ、前記PWM信号と前記停止信号の反転信号との論理積をとり、該PWM信号の信号レベルにかかわらず、前記出力トランジスタをオフにしているようにしている。

【0021】つぎの発明にかかるオーディオ信号増幅出力回路は、上記の発明において、前記比較手段は、前記検出電圧に対応した検出電流値と第1のバイアス電流値との二乗値を第2のバイアス電流値で除算した判定電流値を出力する二乗／除算回路と、前記判定電流値が第3のバイアス電流値を越えた場合に前記停止信号を出力する判定回路とを備えたことを特徴とする。

【0022】この発明によれば、二乗／除算回路が、前記検出電圧に対応した検出電流値と第1のバイアス電流値との二乗値を第2のバイアス電流値で除算した判定電流値を出力し、判定回路が、前記判定電流値が第3のバイアス電流値を越えた場合に前記停止信号を出力するようにし、定常時に流れるバイアス電流値を抑えるようにしている。

【0023】つぎの発明にかかるオーディオ信号増幅出力回路は、上記の発明において、前記PWM信号をクロック信号として、前記比較手段から出力された前記停止信号の出力回数を計数し、該出力回数が第1の所定値を越えた場合に、前記トランジスタ保護制御手段に前記停止信号を出力する第1の計数手段と、前記PWM信号をクロック信号として、該クロック信号を計数し、該計数値が前記第1の所定値に比して大きい第2の所定値を越えた場合に前記第2の計数手段による計数をリセットする第2の計数手段とをさらに備えたことを特徴とする。

【0024】この発明によれば、第1の計数手段が、前記PWM信号をクロック信号として、前記比較手段から出力された前記停止信号の出力回数を計数し、該出力回数が第1の所定値を越えた場合に、前記トランジスタ保護制御手段に前記停止信号を出力し、第2の計数手段が、前記PWM信号をクロック信号として、該クロック

信号を計数し、該計数値が前記第1の所定値に比して大きい第2の所定値を越えた場合に前記第2の計数手段による計数をリセットするようにし、第1の所定値／第2の所定値の比率に応じて出力短絡を検出するようにしている。

【0025】つぎの発明にかかるオーディオ信号増幅出力回路は、上記の発明において、前記PWM信号と、前記PWM信号と該PWM信号を遅延した遅延PWM信号との論理積をとった論理積信号とをともに、前記PWM信号のパルス幅が所定幅以上である場合にクロックを生成し、前記第1の計数手段および前記第2の計数手段のクロック信号として出力するクロック生成回路をさらに備えたことを特徴とする。

【0026】この発明によれば、クロック生成回路が、前記PWM信号と、前記PWM信号と該PWM信号を遅延した遅延PWM信号との論理積をとった論理積信号とをともに、前記PWM信号のパルス幅が所定幅以上である場合にクロックを生成し、前記第1の計数手段および前記第2の計数手段のクロック信号として出力するようにし、所定幅未満のパルス幅をもつパルスによるクロック発生を間引き、出力トランジスタの出力レベルの急峻な変化によって生じるオーバーシュートやアンダーシュートによって発生する不安定な出力状態において、出力短絡の判定を行わないようにしている。

【0027】つぎの発明にかかるオーディオ信号増幅出力回路は、上記の発明において、前記クロック生成回路は、ゲート遅延によって前記PWM信号を遅延する遅延回路を備えたことを特徴とする。

【0028】この発明によれば、前記クロック生成回路は、ゲート遅延によって前記PWM信号を遅延する遅延回路を有し、この遅延した遅延PWM信号を用いてパルス幅が所定幅未満のパルスのクロックを間引くようにしている。

【0029】つぎの発明にかかるオーディオ信号増幅出力回路は、上記の発明において、前記クロック生成回路は、自動発振クロックを生成する自動発振回路と、前記自動発振クロックを用いて前記PWM信号を遅延するシフトレジスタとを備えたことを特徴とする。

【0030】この発明によれば、シフトレジスタが、自動発振回路が出力する自動発振クロックを用いて前記PWM信号を遅延するようにしている。

【0031】つぎの発明にかかるオーディオ信号増幅出力回路は、上記の発明において、前記比較手段から停止信号が出力された場合に、前記自動発振クロックあるいは独立した自動発振クロックを計数し、該計数値が第3の所定値を越えた場合に、前記トランジスタ保護制御手段に出力された前記停止信号を出力する第3の計数手段をさらに備えたことを特徴とする。

【0032】この発明によれば、第3の計数手段が、前記比較手段から停止信号が出力された場合に、前記自動

10

20

30

40

50

発振クロックあるいは独立した自励発振クロックを計数し、該計数値が第3の所定値を越えた場合に、前記トランジスタ保護制御手段に出力された前記停止信号を出力するようにし、入力が無信号状態であっても、出力短絡を検出し、出力トランジスタをオフするようにしている。

【0033】つぎの発明にかかるオーディオ信号増幅出力回路は、上記の発明において、前記ラッチ回路、前記第2の計数手段あるいは前記第3の計数手段は、外部から入力される解除信号によってラッチ処理あるいは計数処理をリセットすることを特徴とする。

【0034】この発明によれば、前記ラッチ回路、前記第2の計数手段あるいは前記第3の計数手段が、外部から入力される解除信号によってラッチ処理あるいは計数処理をリセットし、正常状態に復帰するようにしている。

【0035】

【発明の実施の形態】以下、添付図面を参照して、この発明にかかるオーディオ信号増幅出力回路の好適な実施の形態について説明する。

【0036】実施の形態1。まず、この発明の実施の形態1について説明する。図1は、この発明の実施の形態1であるオーディオ信号増幅出力回路の全体構成を示す回路図である。このオーディオ信号増幅出力回路は、図16に示したD級オーディオアンプのBTL出力部に対応し、各出力トランジスタTr11、Tr12、Tr21、Tr22に対応した保護制御回路11、12、21、22を有するとともに、この保護制御回路11、21、22から出力される短絡検出信号S_{sc}をそれぞれ出力トランジスタTr11、Tr12、Tr21、Tr22のゲートに出力するアンド回路A11、A12、A21、A22を対応づけて有している。その他の構成は、図16に示したBTL出力部と同じであり、同一構成部分には同一符号を付している。

【0037】図2は、図1に示した保護制御回路11、アンド回路A11および出力トランジスタTr11を含む回路30の詳細構成を示す回路図である。また、図3は、図2に示した保護制御回路11の動作を示すタイミングチャートである。図2において、保護制御回路11は、コンパレータComp1、フリップフロップ回路FF1およびRSラッチ回路31を有する。

【0038】図2および図3において、コンパレータComp1は、出力トランジスタTr11のソースドレイン間の電位差を検出し、この電位差が所定電圧を越える場合に、判定信号S_cをフリップフロップ回路FF1に出力する。フリップフロップ回路FF1は、データ列IN1をクロックとして抽出し、このクロックタイミングで判定信号S_cをラッチし、RSラッチ回路31に出力する。RSラッチ回路31も、データ列IN1をクロックとして抽出し、フリップフロップ回路FF1から入

力された判定信号S_cをラッチし、アンド回路A11の一端に、短絡検出出力信号S_{sc}として反転入力する。アンド回路A11の他端には、データ列IN1が入力され、アンド回路A11は、短絡検出出力信号S_{sc}の反転入力とデータ列IN1との論理積出力を、出力トランジスタTr11のゲートに出力する。

【0039】正常の動作では、データ列IN1が「H」レベルのとき、増幅出力信号OUT1は「H」レベルになる。このため、正常の動作では、出力トランジスタTr11のソースドレイン間の電位差は小さく、すなわち所定電圧未満であるため、「L」レベルの短絡検出出力信号S_{sc}をフリップフロップ回路FF1に出力し、RSラッチ回路31は「L」レベルの短絡検出出力信号S_{sc}をラッチし、アンド回路A11の一端に反転した「H」レベルの信号を出力する。このため、出力トランジスタTr11のゲートには、データ列IN1に対応した信号がそのまま入力されることになる。

【0040】一方、増幅出力信号OUT1がグランドに短絡した場合、出力トランジスタTr11のゲートに、データ列IN1の「H」レベルが入力されても、増幅出力信号OUT1は、「H」レベルまで上らず、出力トランジスタTr11のソースドレイン間に電位差が生じる。このため、コンパレータComp1の出力（判定信号S_c）は「H」レベルになり、フリップフロップ回路FF1がデータ列IN1の立ち下がりで、この「H」レベルをラッチし、RSラッチ回路31が、この「H」レベルをアンド回路A11に反転入力し、データ列IN1の入力にもかかわらず、出力トランジスタTr11をオフにする。

【0041】これによって、増幅出力信号OUT1がグランドGNDに短絡した場合でも、過大電流が出力トランジスタTr11に流れることを防止し、出力トランジスタTr11が熱破壊することがない。なお、図3の時点tに示すように、出力トランジスタTr11が強制的にオフされる場合、データ列IN1の「H」パルス一回分が出力トランジスタTr11に流れることになるが、パルス幅は、小さいので、出力トランジスタTr11を破壊するまで発熱はしない。

【0042】なお、コンパレータComp1は、図4に示すように構成することができる。すなわち、出力トランジスタTr11のドレイン電圧が、判定用の基準電圧V_{ref}未満であるか否かを判定し、これによって、出力トランジスタTr11のソースドレイン間の電位差が所定電圧を超えたか否かを判定するようにする。

【0043】また、各保護制御回路11、12、21、22が出力する短絡検出出力信号S_{sc}は、アンド回路A11、A12、A21、A22を介して各出力トランジスタTr11、Tr12、Tr21、Tr22のゲートに出力されるとともに、オア回路ORを介して、1つの短絡検出出力信号S_{sc}として外部の図示しないマイコ

ンに出力される。図示しないマイコンは、短絡検出力信号 S_{sc} が「H」レベルの場合、出力短絡の異常状態をユーザに知らせるために、インジケータ表示などの処理を行う。ユーザが出力短絡の原因を除いた後、図示しないマイコンに対して再電源投入などの所定の指示を与えると、図示しないマイコンは、初期再設定を実行し、この際、クリア信号 S_{cl} を各保護制御回路11、12、21、22に出力し、リセット処理によって通常動作状態に復帰する。

【0044】このようにして、スピーカ端子T1とグラ
 10 ンドGNDとの短絡は、保護制御回路11によって検出され、出力トランジスタTr11が熱破壊から保護される。同様に、スピーカ端子T1と電源Vccとの短絡は、保護制御回路12によって検出され、出力トランジスタTr12が熱破壊から保護される。また、スピーカ端子T2と電源Vccとの短絡は、保護制御回路21によって検出され、出力トランジスタTr21が熱破壊から保護される。さらに、スピーカ端子T2とグラ
 20 ンドGNDとの短絡は、保護制御回路22によって検出され、出力トランジスタTr22が熱破壊から保護される。また、スピーカ端子T1、T2間の短絡は、保護制御回路11、12、21、22によって検出され、各出力トランジスタTr11、Tr12、Tr21、Tr22の熱破壊が防止される。

【0045】この実施の形態1では、各出力トランジスタTr11、Tr12、Tr21、Tr22がオンのときに、各保護制御回路11、12、21、22が、各出力トランジスタTr11、Tr12、Tr21、Tr22のソースドレイン間の電位差が所定電圧を超える、すなわち電位差が小さくならない場合に、異常な過大電
 30 流が流れていると判定し、対応する出力トランジスタTr11、Tr12、Tr21、Tr22をオフにする制御を行って、各出力トランジスタTr11、Tr12、Tr21、Tr22を熱破壊から保護するようにしている。

【0046】なお、上述した実施の形態1では、保護制御回路11、12、21、22と出力トランジスタTr11、Tr12、Tr21、Tr22とを対応させて制御するようにしていたが、これに限らず、たとえば図5に示すように1つの保護制御回路が過大電流の異常を検出した場合に、短絡検出力信号 S_{sc} を、全ての出力トランジスタに出力し、全ての出力トランジスタをオフにするようにしてもよい。たとえば、保護制御回路11から出力される短絡検出力信号 S_{sc} は、アンド回路A11、A12、A21、A22の反転入力端子に入力され、全ての出力トランジスタTr11、Tr12、Tr21、Tr22をオフにする制御を行うようにしてもよい。

【0047】実施の形態2、つぎに、この発明の実施の形態2について説明する。この実施の形態2では、実施

の形態1に用いられるコンパレータComp1の構成を改善している。図4に示したコンパレータComp1は、出力短絡などの異常状態によって、過大電流が出力トランジスタTr1のソースドレイン間に流れた場合、迅速にこの異常状態を検出し、短絡検出力信号 S_{sc} を出力し、出力トランジスタTr11をオフにしなければならず、コンパレータComp1の高速動作が要求される。

【0048】図6は、実施の形態1のコンパレータComp1に用いられる一般的なコンパレータの構成を示す図である。図6に示したコンパレータが高速動作をするためには、次式で決定されるスルーレートRSを速くする必要がある。 $RS = I_{bias} / C_s$ ここで、「 I_{bias} 」は、バイアス電流であり、「 C_s 」は、寄生容量である。したがって、スルーレートを速くするためには、バイアス電流 I_{bias} を大きくする必要があるため、図6に示したコンパレータでは、常にバイアス電流 I_{bias} を流し、回路電流の増加および電流増加に伴って、内部のトランジスタは、大きいトランジスタサイズを選定する必要がある。

【0049】そこで、通常時には小さなバイアス電流とし、異常時、すなわち過大電流が流れた場合にのみ、バイアス電流を大きくして高速動作を可能にしたコンパレータの構成を図7および図8に示す。図7は、「L」出力電圧用の出力トランジスタTr12を制御する保護制御回路12内のコンパレータComp1の構成を示す回路図であり、図8は、「H」出力電圧用の出力トランジスタTr11を制御する保護制御回路11内のコンパレータComp1の構成を示す回路図である。

【0050】図7および図8において、異常状態による過大電流が出力トランジスタTr11、Tr12に流れると、出力トランジスタTr11、Tr12のオン電圧が上昇し、トランジスタQ1のコレクタから、次式で示す電流I1が出力される。

$$I1 = (V1 - V_{BEQ1}) / R1$$

ここで、「V1」は、出力トランジスタTr11、Tr12のドレインからトランジスタQ1のベースに印加される電圧である。また、「 V_{BEQ1} 」は、トランジスタQ1のベース-エミッタ間電圧である。「R1」は、トランジスタQ1のエミッタ側に直接接続された抵抗である。

【0051】トランジスタQ2、Q3、Q4、Q5は、2乗/除算回路を構成し、トランジスタQ5から、次式に示す出力電流I5を出力する。

$$I5 = (I1 + I2)^2 / I3$$

ここで、「I2」、「I3」は、バイアス電流である。

【0052】バイアス電流I4と出力電流I5との電流差によって出力電流IOUTが制御され、出力トランジスタTr11、Tr12の過大電流による異常状態の検出時には、出力電流I5がバイアス電流I4に比して大

きくなるため、トランジスタQ9のベース電流が引き抜かれ、コンパレータ出力として「L」レベルが出力され、インバータによって「H」レベルの判定信号Scが出力される。

【0053】ここで、上述した2乗/除算回路について説明すると、まず、各トランジスタQ2～Q5のベース-エミッタ間電圧およびコレクター-エミッタ間電流は、次式で示す関係を有する。すなわち、

$$V_{BEQ2} + V_{BEQ3} = V_{BEQ4} + V_{BEQ5}$$

$$I_{CQ2} \cdot I_{CQ3} = I_{CQ4} \cdot I_{CQ5}$$

$$I_{CQ2} = I_{CQ3} = I_1 + I_2$$

$$I_{CQ3} = I_3$$

したがって、

$$I_{CQ5} (I_{OUT}) = (I_1 + I_2)^2 / I_3$$

となる。なお、トランジスタQ6のベース→トランジスタQ6のエミッタ→トランジスタQ7のベース、コレクタ→トランジスタQ8のベース→トランジスタQ8のコレクタ→トランジスタQ4のエミッタ→トランジスタQ4のコレクタまで、負帰還がかけられ、 $I_{CQ4} = I_3$ となる。

【0054】この実施の形態2では、異常検出時には高速動作が必要な通常のコンパレータと同様の電流が流れるが、検出時以外のときは、小さいバイアス電流 $I_2 \sim I_4$ のみを流しているため、回路電流が小さく、また、抵抗R1および電流 I_1, I_4 によって出力電流 I_{OUT} の出力状態を制御できるので、保護制御が容易かつ柔軟な設定を行うことができる。

【0055】実施の形態3、つぎに、この発明の実施の形態3について説明する。図9は、この発明の実施の形態3であるオーディオ信号増幅出力回路の保護制御回路の構成を示す図である。また、図10は、図9に示した保護制御回路の動作を示すタイミングチャートである。

【0056】図9において、この保護制御回路11は、カウンタ41、デコーダ42、オア回路43、カウンタ44、およびコンパレータComp2を有し、その他の構成は、実施の形態1と同じであり、同一構成部分には同一符号を付している。

【0057】カウンタ41は、データ列IN1をクロックとして、図10に示すように、データ列IN1の立ち上がりエッジで検出回数をカウントアップし、デコーダ42は、カウンタ41の計数結果をデコードし、デコード値が所定検出回数「m」に達した場合に、オア回路43を介してカウンタ44をリセットする。カウンタ44は、フリップフロップ回路FF1がラッチした判定信号Scが「H」レベルの信号（NG信号）の回数を計数し、コンパレータComp2は、カウンタ44が計数したNG信号の回数が所定回数「n」（「n」は、「m」以下の値）以上になった場合、RSラッチ回路にNGトリガを出力し、RSラッチ回路31から、出力トランジスタTr11をオフにする短絡検出力信号S_{sc}を出力

させる。

【0058】すなわち、カウンタ41がm回検出しているうちに、カウンタ44がn回以上のNG信号の回数を検出した場合に、出力短絡があったものと判断して、NGトリガをRSラッチ回路31に出力する。換言すれば、カウンタ41の検出回数に対するカウンタ44のNG信号の検出回数の比率が「n/m」以上になった場合に、出力短絡があったものと判断する。

【0059】なお、図示しないマイコンからのクリア信号SC_Lは、カウンタ41に入力されるとともに、オア回路43を介してカウンタ44にも入力され、リセットされる。

【0060】また、この実施の形態3では、最大、データ列IN1のmクロックの時間分、出力トランジスタTr11をオフにするタイミングが遅れることになる。この最大mクロック分の期間は、過大電流が出力トランジスタTr11に流れることになるが、この期間に過大電流が流れても、出力トランジスタTr11が熱破壊しない期間として、m値を設定すればよい。

【0061】この実施の形態3によれば、コンパレータComp1が検出したNG信号の回数を検出することによって、頻繁に出力トランジスタをオフする誤動作を防止することができる。すなわち、出力トランジスタTr11、Tr12、Tr21、Tr22からの増幅出力信号OUT1、OUT2には、図17に示すように、出力レベルの急峻な変化によってオーバーシュートやアンダーシュートが発生するので、NG信号の誤検出が頻繁に行われる可能性があるが、この実施の形態3では、NG信号の検出回数が所定の比率以上になったときに出力短絡と判定するようにしているので、信頼性の高い出力短絡判定を行うことができる。

【0062】実施の形態4、つぎに、この発明の実施の形態4について説明する。図11は、この発明の実施の形態4であるオーディオ信号増幅出力回路の保護制御回路の構成を示す図である。この保護制御回路11は、図9に示した実施の形態3に示した保護制御回路にクロック生成回路51を設けている。その他の構成は実施の形態3と同じであり、同一構成部分には、同一符号を付している。クロック生成回路51は、データ列IN1をクロックとして用い、データ列IN1のPWM信号のパルス幅が所定幅以下の場合にクロックを削除したクロックを生成してカウンタ41、44のクロックとして出力するようにしている。

【0063】図12は、クロック生成回路51の詳細構成を示すブロックであり、図13は、クロック生成回路51の動作を示すタイミングチャートである。図12に示したクロック生成回路51は、ゲート遅延回路52を用いて、PWM信号のパルス幅が所定幅以下の場合にクロックを削除したクロックを生成するようにしている。

【0064】データ列IN1は、ゲート遅延回路52お

10

20

30

40

50

よびアンド回路53の一端に入力されるとともに、フリップフロップ回路FF2にクロック入力される。ゲート遅延回路52によってゲート遅延されたゲート遅延信号Sdは、アンド回路53の他端に出力される。アンド回路53の出力は、フリップフロップ回路FF3にクロックとして反転入力される。フリップフロップ回路FF3の出力は、インバータ54を介してフリップフロップ回路FF2に帰還出力されるとともに、排他的論理和回路(XOR回路)55の一端に出力される。フリップフロップ回路FF2の出力は、XOR回路55の他端に出力される。XOR回路55は、フリップフロップ回路FF3の出力とフリップフロップ回路FF2との排他論理和をとったクロックCK1をカウンタ41、44のクロックとして出力する。

【0065】図13に示すように、データ列IN1のパルスP1のようにパルス幅が短いと、パルスP1の立ち下がりがタイミングで、フリップフロップ回路FF1にコンパレータComp1の判定信号Scを取り込む際、増幅出力信号OUT1のオーバーシュートやアンダーシュート期間の不安定な状態で電圧値を取り込むことになる。この結果、コンパレータComp1が誤った判定結果を出力することになる。したがって、図13に示すように、クロック生成回路51は、パルス幅の短いパルスP1の立ち下がりによるクロックを、クロックとして出力しないクロックCK1を出力するようにしている。

【0066】アンド回路53は、元のデータ列IN1の「H」レベルと、ゲート遅延回路52から出力されるゲート遅延されたパルスの「H」レベルとの重複部分を「H」レベルとして出力する。このため、ゲート遅延期間に比してパルス幅が短いパルスP1の場合には、アンド回路53から「H」レベルの信号は出力されず、結果としてXOR回路55からは、このパルスP1に対応するクロックは生成されず、間引きされる。

【0067】これによって、コンパレータComp1による誤検出の確率を低減でき、結果として、信頼性が高く、安定した出力短絡判定を行うことができる。

【0068】実施の形態5、つぎに、この発明の実施の形態5について説明する。上述した実施の形態4では、ゲート遅延回路52を用いてデータ列IN1を遅延させるようにしていたが、この実施の形態5では、シフトレジスタを用いてデータ列IN1を遅延させるようにしている。

【0069】図14は、この発明の実施の形態5であるオーディオ信号増幅出力回路のクロック生成回路の構成を示す図である。このクロック生成回路は、図12に示したゲート遅延回路52に代えてシフトレジスタ62を設け、さらに、このシフトレジスタ62を駆動するための自励発振回路61を有している。その他の構成は、実施の形態4と同じであり、同一構成部分には同一符号を付している。

【0070】図14において、シフトレジスタ62は、自励発振回路61から発振出力されるクロックCK2をもとに、入力されたデータ列IN1をシフトすることによってアンド回路53に遅延出力する。これによって、実施の形態4と同様に、パルス幅の短いパルスP1によるクロック発生を削除したクロックCK1をカウンタ41、44に出力する。

【0071】一般に、実施の形態4のゲート遅延回路52では、半導体プロセスによるばらつきによって遅延が変動し、削除すべきデータ列IN1のパルス幅の値もばらつくことになるが、この実施の形態5では、自励発振したクロックCK2を用いたシフトレジスタ62によってデータ列IN1を遅延するようにしているので、反動プロセスのばらつきによる影響を受けにくく、安定した遅延を得ることができ、結果的に削除すべきパルス幅の変動を抑えることができる。なお、上述した実施の形態5では、クロックCK2を自励発振回路61によって出力するようにしているが、自励発振回路に限定されるものではない。

【0072】実施の形態6、つぎに、この発明の実施の形態6について説明する。上述した実施の形態1～5では、いずれもデータ列IN1が出力トランジスタTr1に入力されることを前提条件としたものであったが、この実施の形態6では、出力トランジスタTr1にデータ列IN1の信号入力がない場合1、すなわち「H」レベル一定あるいは「L」レベル一定の場合に、出力短絡が生じても、出力トランジスタTr1の熱破壊を防止するようにしている。

【0073】図15は、この発明の実施の形態6であるオーディオ信号増幅出力回路の保護制御回路の構成を示す図である。図15に示した保護制御回路は、実施の形態5に示した保護制御回路11内に無信号時保護制御回路70が設けられている。その他の構成は、実施の形態5と同じであり、同一構成部分には同一符号を付している。

【0074】無信号時保護制御回路70は、カウンタ71、コンパレータComp3、アンド回路73、およびオア回路74を有している。アンド回路73の一端には、コンパレータComp1の出力が入力され、他端には、データ列IN1が入力される。アンド回路73の反転出力と、図示しないマイコンからクリア信号Saとがオア回路74に入力される。オア回路74の出力は、カウンタ71のリセット端に入力される。通常、出力短絡が生じていない場合で、データ列IN1が入力されていない「H」レベル一定あるいは「L」レベル一定の場合、アンド回路73の出力は「L」レベル出力となる。通常、この反転出力、すなわち「H」レベルの出力あるいはクリア信号Sa（「H」レベル）が入力されるので、カウンタ71は、常にリセット状態となり、カウンタアップは行われない。

【0075】カウンタ71が、自励発振回路61のクロックCK2をカウントアップするのは、入力信号が「H」レベル一定で、コンパレータComp1の出力が「H」レベルとなり、出力短絡が生じていることを検出した場合である。すなわち、アンド回路73は、「H」レベルを出力し、その反転出力である「L」レベルがオア回路74を介してカウンタ71のリセット端に入力され、これによってカウンタ71のリセット解除がなされたときである。

【0076】このカウンタ71のリセット解除がなされると、カウンタ71は、自励発振回路61から出力されたクロックを計数し、この計数結果が所定値「p」以上となった場合に、出力短絡があったと判定し、オア回路75を介してNCTリガをRSラッチ回路31に出力する。

【0077】なお、上述した実施の形態6では、入力信号が「H」レベル一定の場合における電源側の保護制御回路の一例を示したが、入力信号が「L」レベル一定の場合には、グランド側の保護制御回路によって、入力無信号時における出力短絡保護を行うようにすればよい。

【0078】また、上述した実施の形態6では、実施の形態5に示した自励発振回路61が出力するクロックCK2をカウントアップするようにしていたが、これに限らず、自励発振回路を別途設け、この自励発振回路からのクロックをカウントアップするようにしてもよい。この場合、実施の形態1や実施形態3との組み合わせも適宜行うことができる。

【0079】この実施の形態6では、出力トランジスタのゲート端子に入力される信号が無い状態、すなわち、「H」レベル一定あるいは「L」レベル一定の場合に出力短絡が発生した場合であっても、確実に出力短絡を検出し、保護することができる。

【0080】

【発明の効果】以上説明したように、この発明によれば、比較手段が、出力トランジスタのソースドレイン間の電位差である検出電圧と所定電圧とを比較し、該検出電圧が前記所定電圧を越えた場合に停止信号を出力し、トランジスタ保護制御手段が、前記比較手段が前記停止信号を出力した場合、前記出力トランジスタの出力をオフにする制御を行い、出力短絡によって出力トランジスタに過大電流が流れないようにしているため、出力トランジスタのオン抵抗を低くしつつ、出力トランジスタに流れる過大電流による該出力トランジスタの熱破壊を防止することができるという効果を奏する。

【0081】つぎの発明によれば、複数の出力トランジスタを備え、前記比較手段および前記トランジスタ保護制御手段は、複数の出力トランジスタ毎に設けられ、それぞれが、出力短絡による各出力トランジスタに過大電流が流れることを防止するようにしているため、オーディオ信号増幅出力回路全体に用いられる出力トランジ

スタの熱破壊を確実に防止することができるという効果を奏する。

【0082】つぎの発明によれば、前記トランジスタ保護制御手段が、前記比較手段が停止信号を出力する場合、前記複数の出力トランジスタの全てをオフにしているため、出力トランジスタの熱破壊を確実に防止することができるという効果を奏する。

【0083】つぎの発明によれば、前記トランジスタ保護制御手段のラッチ回路が、前記PWM信号をクロック信号として前記停止信号をラッチし、論理積回路が、前記出力トランジスタのゲート入力側に設けられ、前記PWM信号と前記停止信号の反転信号との論理積をとり、該PWM信号の信号レベルにかかわらず、前記出力トランジスタをオフにしているため、出力トランジスタの熱破壊を確実に防止することができるという効果を奏する。

【0084】つぎの発明によれば、二乗/除算回路が、前記検出電圧に対応した検出電流値と第1のバイアス電流値との二乗値を第2のバイアス電流値で除算した判定電流値を出力し、判定回路が、前記判定電流値が第3のバイアス電流値を越えた場合に前記停止信号を出力するようにし、定常時に流れるバイアス電流値を抑えるようにしているため、回路規模および消費電力を小さくできるとともに、柔軟な判定処理を行うことができるという効果を奏する。

【0085】つぎの発明によれば、第1の計数手段が、前記PWM信号をクロック信号として、前記比較手段から出力された前記停止信号の出力回数を計数し、該出力回数が第1の所定値を越えた場合に、前記トランジスタ保護制御手段に前記停止信号を出力し、第2の計数手段が、前記PWM信号をクロック信号として、該クロック信号を計数し、該計数値が前記第1の所定値に比して大きい第2の所定値を越えた場合に前記第2の計数手段による計数をリセットするようにし、第1の所定値/第2の所定値の比率に応じて出力短絡を検出するようにしているため、出力トランジスタの出力レベルの急峻な変化によって生じるオーバーシュートやアンダーシュートによって発生する出力短絡の誤判定の確率を低減することができ、信頼性の高い出力短絡の判定を行うことができるという効果を奏する。

【0086】つぎの発明によれば、クロック生成回路が、前記PWM信号と、前記PWM信号と該PWM信号を遅延した遅延PWM信号との論理積をとった論理積信号とをともに、前記PWM信号のパルス幅が所定幅以上である場合にクロックを生成し、前記第1の計数手段および前記第2の計数手段のクロック信号として出力するようにし、所定幅未満のパルス幅をもつパルスによるクロック発生を間引き、出力トランジスタの出力レベルの急峻な変化によって生じるオーバーシュートやアンダーシュートによって発生する不安定な出力状態において、

出力短絡の判定を行わないようにしているので、安定かつ信頼性の高い出力短絡の判定を行うことができるという効果を奏する。

【0087】つぎの発明によれば、前記クロック生成回路は、ゲート遅延によって前記PWM信号を遅延する遅延回路を有し、この遅延した遅延PWM信号を用いてパルス幅が所定幅未満のパルスのクロックを間引くようにしているので、簡易な構成によって安定かつ信頼性の高い出力短絡の判定を行うことができるという効果を奏する。

【0088】つぎの発明によれば、シフトレジスタが、自励発振回路が出力する自励発振クロックを用いて前記PWM信号を遅延するようにしているので、一層、安定かつ信頼性の高い出力短絡の判定を行うことができるという効果を奏する。

【0089】つぎの発明によれば、第3の計数手段が、前記比較手段から停止信号が出力された場合に、前記自励発振クロックあるいは独立した自励発振クロックを計数し、該計数値が第3の所定値を越えた場合に、前記トランジスタ保護制御手段に出力された前記停止信号を出力するようにし、入力が無信号状態であっても、出力短絡を検出し、出力トランジスタをオフするようにしているので、出力トランジスタのゲート入力が無信号状態であっても、確実に出力トランジスタの熱破壊を防止することができるという効果を奏する。

【0090】つぎの発明によれば、前記ラッチ回路、前記第2の計数手段あるいは前記第3の計数手段が、外部から入力される解除信号によってラッチ処理あるいは計数処理をリセットし、正常状態に復帰するようにしているので、確実にかつ迅速に正常動作状態に復帰することができるという効果を奏する。

【図面の簡単な説明】

【図1】 この発明の実施の形態1であるオーディオ信号増幅出力回路の全体構成を示す図である。

【図2】 図1に示した保護制御回路を含む回路を示す図である。

【図3】 図2に示した保護制御回路の動作を示すタイミングチャートである。

【図4】 図2に示したコンパレータの一例を示す回路図である。

【図5】 図1に示したオーディオ信号増幅出力回路の変形例の構成を示す図である。

【図6】 図2に示したコンパレータの詳細構成を示す回路図である。

【図7】 この発明の実施の形態2であるオーディオ信号増幅出力回路のコンパレータの一例を示す構成を示す回路図である。

【図8】 この発明の実施の形態2であるオーディオ信号増幅出力回路のコンパレータの一例を示す構成を示す回路図である。

【図9】 この発明の実施の形態3であるオーディオ信号増幅出力回路の保護制御回路の構成を示す図である。

10 【図10】 図9に示した保護制御回路の動作を示すタイミングチャートである。

【図11】 この発明の実施の形態4であるオーディオ信号増幅出力回路の保護制御回路の構成を示す図である。

【図12】 図11に示したクロック生成回路の詳細構成を示す回路図である。

【図13】 図11に示したクロック生成回路の動作を示すフローチャートである。

20 【図14】 この発明の実施の形態5であるオーディオ信号増幅出力回路のクロック生成回路の構成を示す回路図である。

【図15】 この発明の実施の形態6であるオーディオ信号増幅出力回路の構成を示す図である。

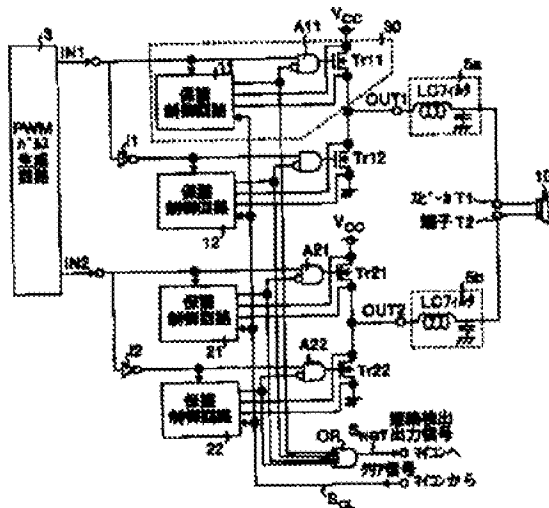
【図16】 従来のオーディオ信号増幅出力回路の全体構成を示す図である。

【図17】 図16に示したPWMパルス生成回路から出力される1ビットデータ列およびこの増幅出力信号の一例を示すタイミングチャートである。

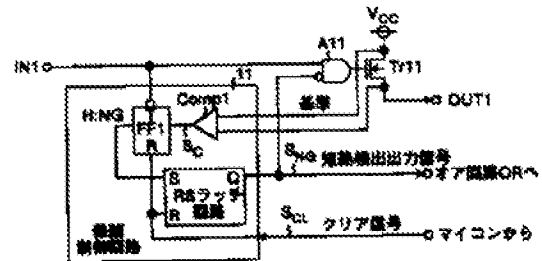
【符号の説明】

3 PWMパルス生成回路、5a、5b LCフィルタ、10 スピーカ、11、12、21、22 保護制御回路、31 RSラッチ回路、41、44、71 カウンタ、42 デコーダ、43、74、75 オア回路、51 クロック生成回路、52 ゲート遅延回路、Comp1~Comp3 コンパレータ、FF1~FF3 フリップフロップ回路、53、73、A11、A12、A21、A22 アンド回路、54、11、12 インバータ、55 排他的論理和回路、61 自励発振回路、62 シフトレジスタ、70 無信号時保護制御回路、1N1、1N2 データ列、TR11、TR12、TR21、TR22 出力トランジスタ、OUT1、OUT2 増幅出力信号、T1、T2 スピーカ端子、Vcc 電源、Sc 判別信号、Sw、S_{on} 短絡検出出力信号、Sa クリア信号、CK1、CK2 クロック。

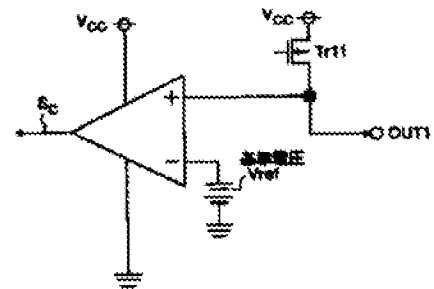
【図1】



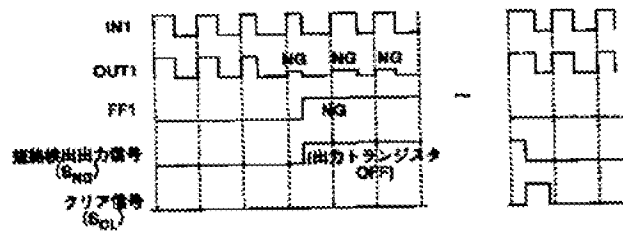
【図2】



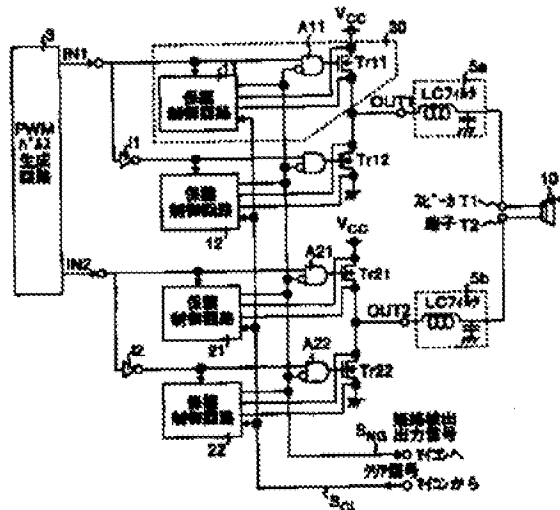
【図4】



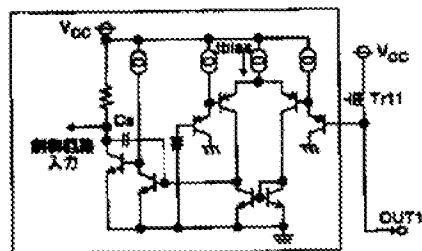
【図3】



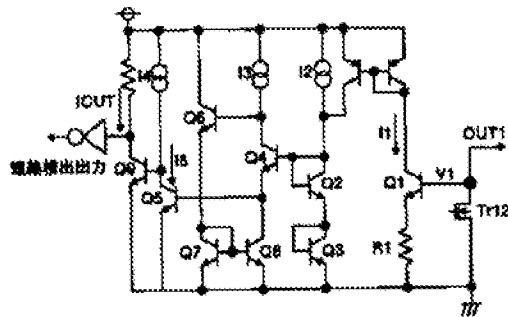
【図5】



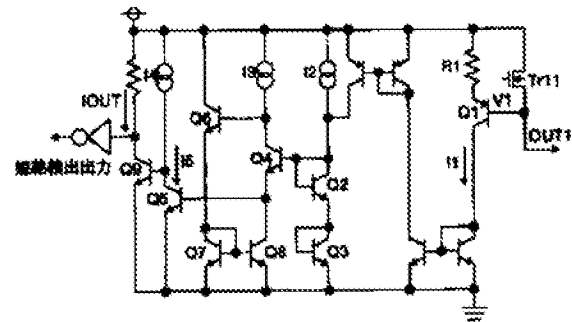
【図6】



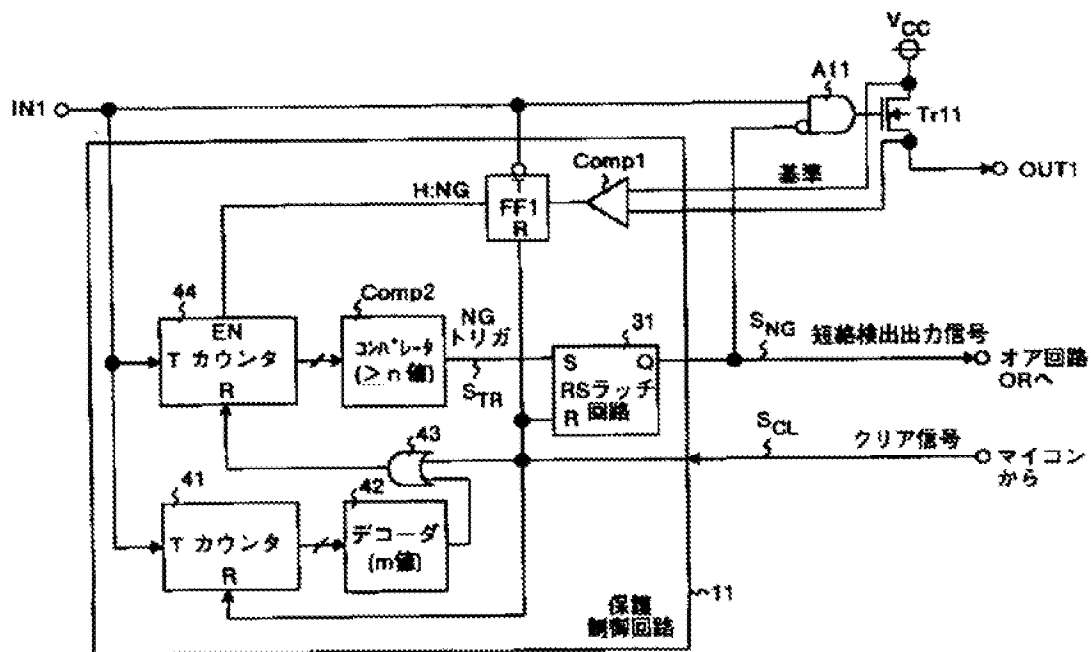
【図7】



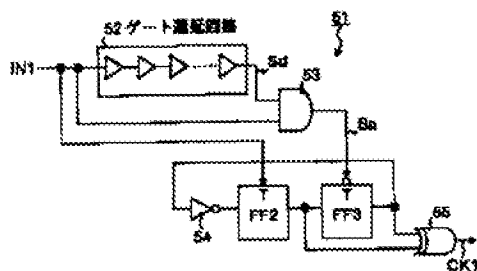
【図8】



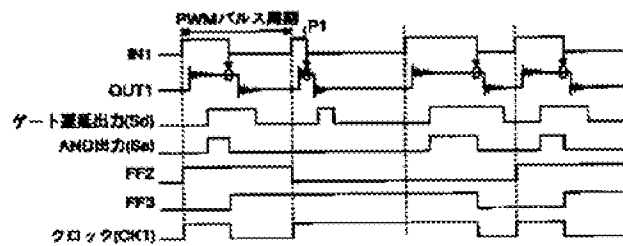
【図9】



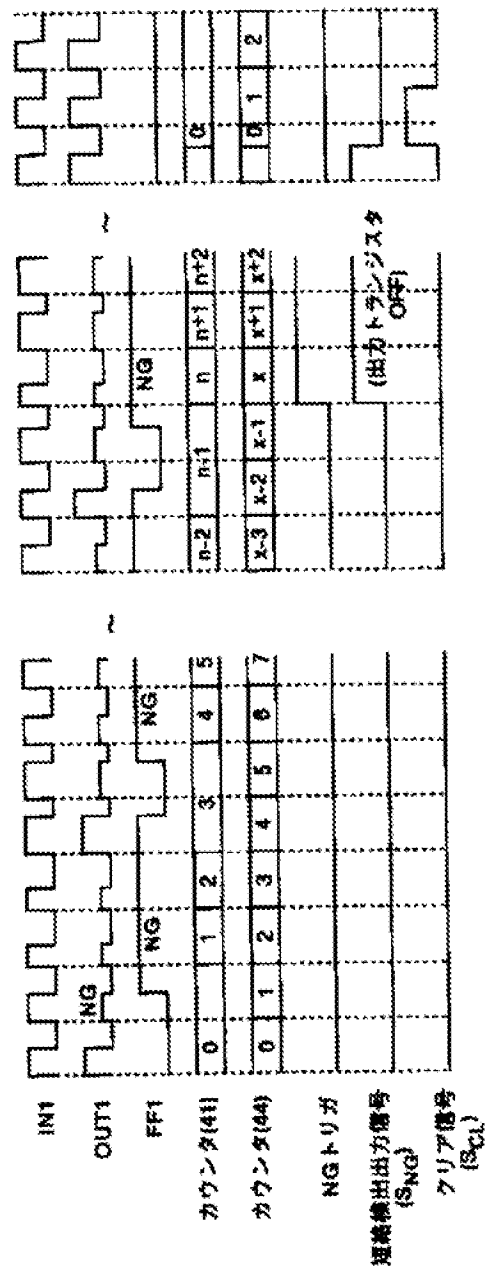
【図12】



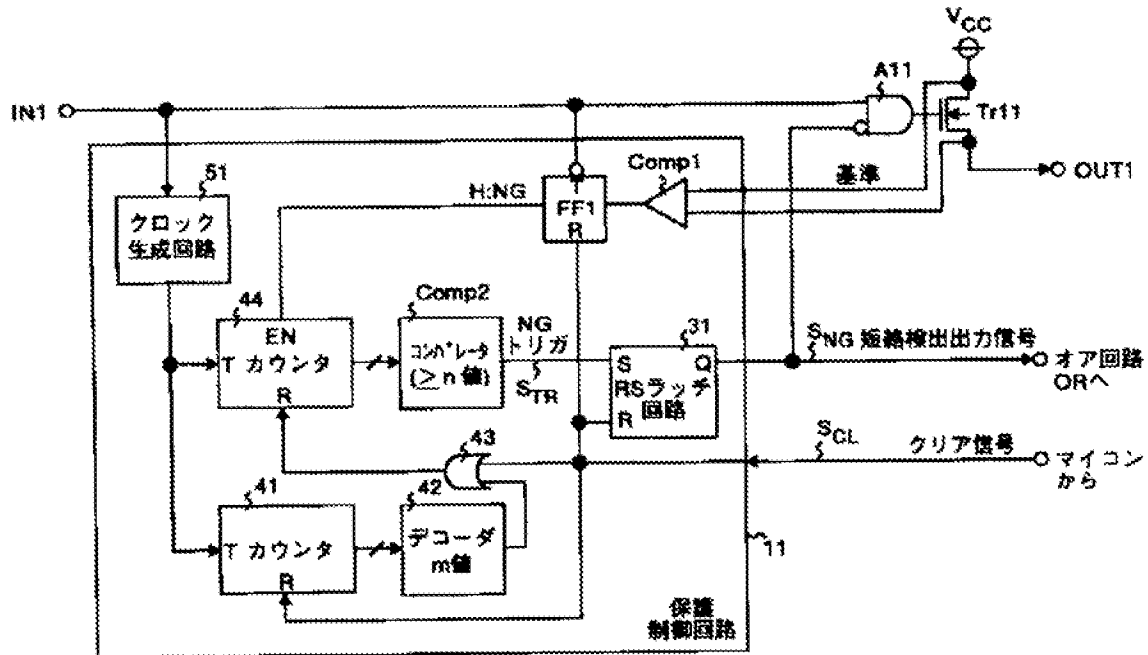
【図13】



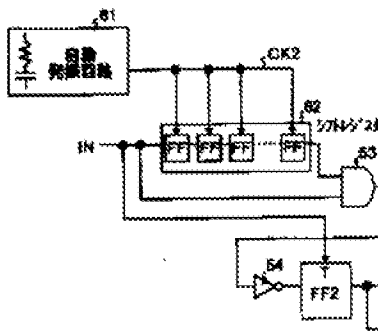
【図10】



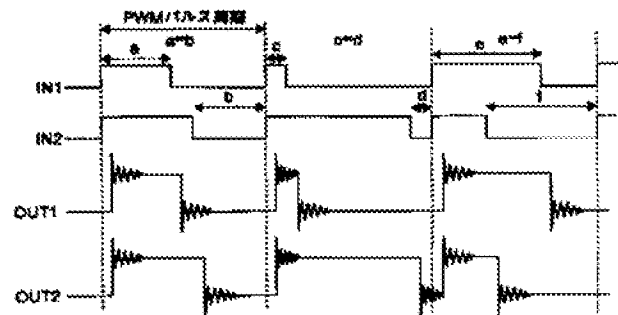
【図11】



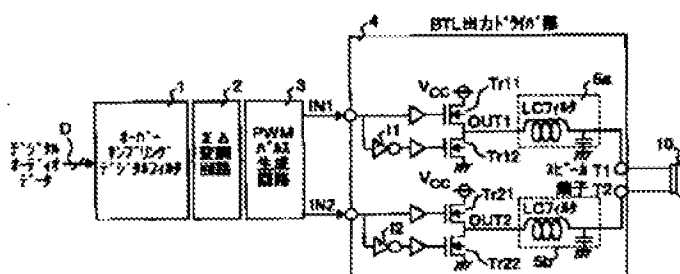
【図14】



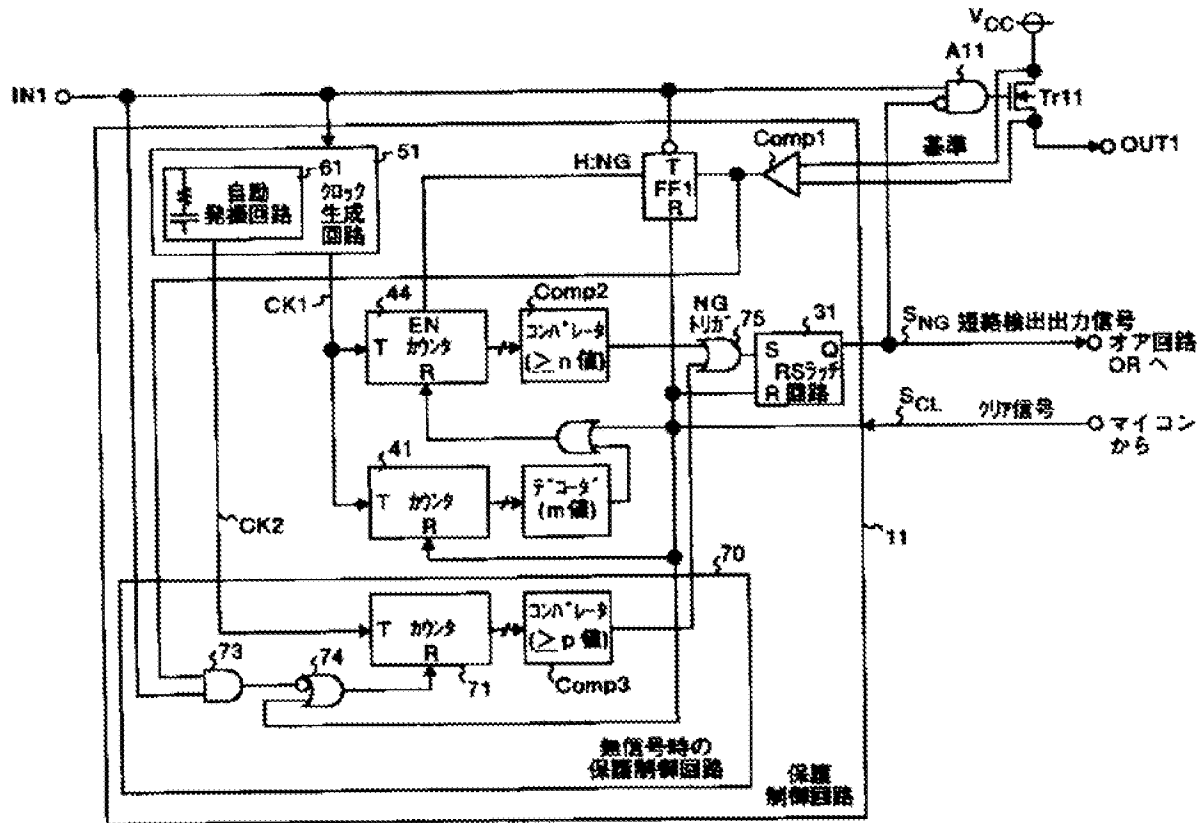
【図17】



【図16】



【図15】



フロントページの続き

(72)発明者 岡本 和宏
東京都千代田区大手町二丁目6番2号 三
菱電機エンジニアリング株式会社内

Fターム(参考) 5J069 AA02 AA19 AA23 AA41 AA66

CA57 FA18 HA08 HA09 HA18

HA25 HA29 HA33 KA00 KA04

KA05 KA09 KA15 KA17 KA32

KA33 KA35 KA36 KA41 KA62

SA05 TA01 TA06

5J091 AA02 AA19 AA23 AA41 AA66

CA57 FA18 FP02 FP06 GP02

HA08 HA09 HA18 HA25 HA29

HA33 KA00 KA04 KA05 KA09

KA15 KA17 KA32 KA33 KA35

KA36 KA41 KA62 SA05 TA01

TA06